

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-265293

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-080377

(71)Applicant : SHARP CORP

(22)Date of filing : 22.03.2000

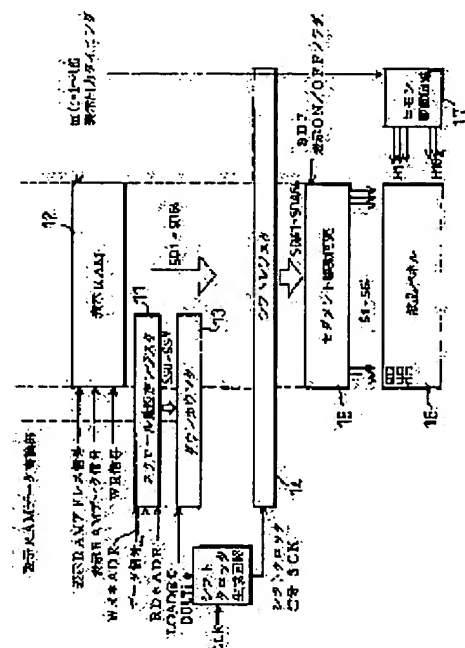
(72)Inventor : NAKAO YOSHIHIRO

## (54) DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device having a scrolling function whose timewise restriction is suppressed with simple constitution.

SOLUTION: In this device, a liquid crystal panel 16 displaying a picture with dots in a line sequential system and a segment driving circuit 15 for driving the liquid crystal panel 16 and a display memory 12 are provided. Moreover, a scrolling amount setting register 11 for setting a dot scrolling amount and a shift register 14 which shifts display data from the memory 12 based on the dot scrolling amount to output the shifted data to the segment driving circuit 15 are provided in the device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成13年9月28日(2001.9.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>(参考)</sup>
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H 5 C 0 8 0
	6 6 0		6 6 0 B

審査請求 未請求 請求項の数 3 OL (全 12 頁)

(21)出願番号	特願2000-80377(P2000-80377)	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成12年3月22日(2000.3.22)	(72)発明者	中尾 佳寛 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74)代理人	100080034 弁理士 原 謙三
			最終頁に続く

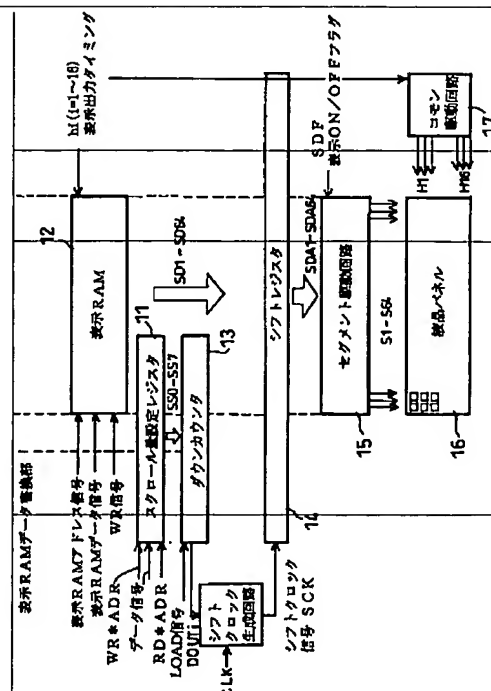
**最終頁に続く**

(54)【発明の名称】 表示装置

(57) 【要約】

【課題】 簡素な構成で時間的な制約の抑制されたスクロール機能を有する表示装置を提供する。

【解決手段】 線順次的に画像をドット表示する液晶パネル 16 を設ける。液晶パネル 16 を駆動するためのセグメント駆動回路 15、および表示メモリ 12 を設ける。ドットスクロール量を設定するためのスクロール量設定レジスタ 11 を設ける。表示メモリ 12 からの表示データを、上記ドットスクロール値に基づいてシフトしてセグメント駆動回路 15 に出力するシフトレジスタ 14 を設ける。



(2)

1

## 【特許請求の範囲】

【請求項1】線順次式に画像をドット表示する表示パネルを駆動するための、セグメント駆動部、および表示用メモリ部を有する表示装置において、ドットスクロール量を設定するためのレジスタ部と、表示用メモリ部からの表示データを、上記ドットスクロール量に基づきシフトしてセグメント駆動部に出力するシフトレジスタ部とを備えていることを特徴とする表示装置。

【請求項2】シフトレジスタ部にて1ドット表示期間内に表示データをシフトするように制御する制御手段を備えていることを特徴とする請求項1記載の表示装置。

【請求項3】上記ドットスクロール量に対応してダウンカウントするダウンカウンタ部と、上記ダウンカウンタ部からの信号と、ドット表示のためのシステムクロック信号とから、シフトレジスタ部にて表示データをシフトさせるためのシフト用クロック信号を生成して、シフトレジスタ部に出力するシフト用クロック信号生成部とを備えていることを特徴とする請求項1または2記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶パネル付携帯端末、液晶パネル付携帯電話、液晶コントローラ、などの表示画像をスクロールできる表示装置に関するものである。

## 【0002】

【従来の技術】従来より、例えば図6に示すように、液晶パネル23への表示データを一時的に記憶しておく表示RAM(Random Access Memory)を内蔵した液晶表示装置が知られている。上記液晶表示装置では、表示RAM21、セグメント駆動回路22、液晶パネル23、およびコモン駆動回路24が設けられている。上記液晶パネル23としては、液晶画面が64\*16dotsのものを例に挙げている。表示RAM21の1ビットは、液晶パネル23の液晶セル(画素)の1ドットに対応している。

【0003】上記表示RAM21は、図7に示すように、通常の、6個のトランジスタからなるRAM構成に対し、表示出力用クロックドゲートを追加した構造を備えており、1ビット毎に対応するセル構造21aを、10個のトランジスタから形成されて有している。このようなセル構造21aを制御するための信号は、ROW(アドレスROW信号)、COL(アドレスCOL信号)、BITPRE(プリチャージ信号)と呼称されている。

【0004】プリチャージ信号により、BIT/BITB信号をプリチャージした後、アドレスROW信号およびアドレスCOL信号を確定させて、任意のアドレスを指定した後、WR信号を入力し、DATAバスの表示デ

2

ータを表示RAM21内に書き込むことができる。これらの表示RAM21への書き込み動作は、通常の、6個のトランジスタからなるRAMの動作と同様であり、ここでは、それらに関する詳細な記述を省略する。

【0005】上記RAM21は、クロックドゲートに入力された、hi信号、hiB信号(i=1~16)のタイミングにて、セグメント信号線SDj(j=1~64)に対し表示RAM21内の表示データを64bits同時にそれぞれ出力するようになっている。

10 【0006】セグメント信号線SDj(j=1~64)に出力された表示データは、セグメント駆動回路22で、表示用セグメント信号に加工されて液晶パネル23に入力される。このとき、hi信号は、コモン駆動回路24で表示用コモン信号(Hi信号)に加工されて液晶パネル23に入力される。図8には、液晶パネル23での表示画面が千鳥パターンの場合における、各信号のタイミングチャート例を示している。

20 【0007】h1~h16のタイミングで、表示RAM21から各データSD1~SD64がそれぞれ出力されている。千鳥パターンの場合は、1ライン毎に表示位置が異なるために、図8に示す波形になっている。

【0008】さて、表示RAM21に1画面分のデータが全て書き込まれた後、表示ON/OFF切り換え用のフラグSDFを"1"に設定することで、WR信号を無効にし、セグメント駆動回路22の出力を液晶パネル23のドライブ可能な状態とする。

【0009】フラグSDFが"0"の場合、セグメント駆動回路22の出力は、液晶パネル23での表示ブランクの状態を保持する。表示ON/OFF切り換え用のフラグは、通常の液晶表示装置に内蔵されており、CPUから切り換えることのできるフラグで、ここではSDFとしている。

【0010】このような液晶表示装置において、表示画像の横方向スクロールを行う場合、例えば特開平7-271341号公報に開示された表示制御装置を用いることが考えられた。

【0011】上記表示制御装置では、図12に示すように、表示RAMに対応する内蔵RAM94のデータを、一旦、シフトレジスタであるデータ保持ラッチ96にバックアップした後に、データをシフトさせて、再度、内蔵RAM94に書き込みを行っている。

## 【0012】

【発明が解決しようとする課題】ところが、上記公報に記載の従来の構成では、内蔵RAM94のデータ書き換えを行っているため、表示データをスクロールするのに、1ライン毎のデータを、その度に、データ保持ラッチ95に取り込みシフトし、再度、内蔵RAM94に書き込む作業を行い、全画面データを再書き込みした後、表示を開始しなければならないので、時間的な制約が生じ、特にLCD95のドット数が大きくなるとスク

50

(3)

3

ロールが不可能になるという問題を生じている。

【0013】

【課題を解決するための手段】本発明の表示装置は、以上の課題を解決するために、線順次式に画像をドット表示する表示パネルを駆動するための、セグメント駆動部、および表示用メモリ部を有する表示装置において、ドットスクロール量を設定するためのレジスタ部と、表示用メモリ部からの表示データを、上記ドットスクロール量に基づきシフトしてセグメント駆動部に出力するシフトレジスタ部とを備えていることを特徴としている。

【0014】上記の構成によれば、表示メモリ部からセグメント駆動部の各ライン毎（hiタイミング）に出力されているセグメント用の表示データを、シフトレジスタ部をドットスクロール量を設定するためのレジスタ部における設定値分だけ、シフトさせて、スクロールシフトされたセグメント用の表示データを一旦シフトレジスタ部にて取り込むことができる。

【0015】この結果、上記構成では、そのようにシフトされた表示データを、シフトレジスタ部から一括してセグメント駆動部に送出することによって、表示スクロール機能を表示パネル上にて実現できるので、従来より、スクロールのための時間的な制約を簡素な構成により軽減できる。

【0016】従来のように、ハードウェアでシフト量を設定するのではなく、レジスタ設定とすることで、スクロール動作を多様化することができ、キャラクタ動作等も可能可能とした。一度書き込まれた表示データは、表示メモリの中に保持することが可能であり、また、データ保持ラッチを削減できるために回路的には大幅な削減になる。このことは、コスト削減だけではなく、消費電力の低減、電池寿命を延ばすなどの効果も発揮できる。

【0017】上記表示装置においては、シフトレジスタ部にて1ドット表示期間内に表示データをシフトするように制御する制御手段を備えていることが好ましい。

【0018】上記の構成によれば、1ドット表示期間内に表示データをシフトするように制御することにより、表示パネル上での画像表示に対し何ら影響を及ぼさないもので、上記表示パネル上での表示画像の劣化を回避することができる。

【0019】上記表示装置では、上記ドットスクロール量に対応してダウンカウントするダウンカウンタ部と、上記ダウンカウンタ部からの信号と、ドット表示のためのシステムクロック信号とから、シフトレジスタ部にて表示データをシフトさせるためのシフト用クロック信号を生成して、シフトレジスタ部に出力するシフト用クロック信号生成部とを備えていることが望ましい。

【0020】上記の構成によれば、ダウンカウンタ部とシフト用クロック信号生成部とを有することにより、システムクロック信号に応じたシフト用クロック信号を生成できるので、表示パネル上での表示画像のスクロール

4

をより確実に実行することができる。

【0021】

【発明の実施の形態】本発明の実施の形態について図1ないし図5に基づいて説明すれば、以下の通りである。

【0022】本発明に係る表示装置としての液晶表示装置は、図1に示すように、スクロール量設定レジスタ（レジスタ部）11、表示RAM12、ダウンカウンタ13、シフトレジスタ（シフトレジスタ部）14、セグメント駆動回路（セグメント駆動部）15、液晶パネル（表示パネル）16、コモン駆動回路17、およびシフトクロック生成回路（シフトクロック生成部）18を有している。このようなスクロール量設定レジスタ11、ダウンカウンタ13、シフトレジスタ14とによって、液晶ドットスクロール制御回路が構成されている。

【0023】上記液晶パネル16は、セグメント電極を例えば64本、コモン電極を例えば16本互いにマトリクス状に交差するように有しており、それらの交差した領域に液晶層を備えており、上記各コモン電極を線順次に走査しながら、64本の各セグメント電極に対し表示データに応じた電圧をそれぞれ印加することにより、上記表示データに基づく画像が表示されるものである。

【0024】上記セグメント駆動回路15は、シフトレジスタ14からの各セグメント信号SDA1～SDA64をラッチし、表示ON/OFFフラグ信号SDFに基づくタイミング（水平同期タイミング）にて、それぞれ対応する液晶パネル16の各セグメント電極に出力するものである。

【0025】前記コモン駆動回路17は、表示出力タイミングであるhi（i=1～16）信号つまり水平同期タイミング（水平同期信号）に基づいて、各コモン電極に対し線順次にON電圧をそれぞれ印加するものである。液晶パネル16における画像表示のための1フレーム期間は、例えば、約85.33Hzの1サイクル期間に設定されている。

【0026】前記表示RAM12は、従来の技術の欄に記載したクロックドゲートを有するメモリであって、図示しないCPU（Central Processing Unit、制御手段）からの制御信号によって、ハードディスク等の大容量記憶装置（図示せず）からの表示データを書き込み可能となっており、最初に一画面分の表示データが書き込まれるようになっている。

【0027】表示RAM12への表示データの書き込みについては、従来と同様であり、ここではその説明を省略する。また、このようなクロックドゲートを有する表示RAM12を用いたことにより、上記表示RAM12に入力され、記憶された表示データを変更することなく、つまり保存した状態を維持して、液晶パネル16に対し、上記表示データに基づく画像を表示することができる。

【0028】前記スクロール量設定レジスタ11は、表

60

(4)

5

示データをシフトさせる位置を示すためのアドレスを図示しないCPUからのWR\*ADR信号によって設定され、かつ、そのシフト量を図示しないCPUからのデータ信号によって設定できるようになっている。このようなスクロール量設定レジスタ11の回路構成としては、例えば図2に示すように、汎用のリードライト可能な8ビットレジスタが挙げられる。スクロール量設定レジスタ11のアドレスを設定後、書き込みを行い、スクロール量を設定可能にしている。

【0029】図2中に示したWR\*ADR信号は、スクロール量設定レジスタ11を指している。図2中に示したRD\*ADR信号は、スクロール量をCPUで確認する場合、レジスタ読み込みに使用する。スクロール量については、例えば、256ドットまで設定できるが、この実施の形態のように、セグメント電極が64本である場合には、下位5ビットで選択されるように設定することができる。

【0030】前記ダウンカウンタ13は、汎用カウンタであり、シフト量がシフト用データとして入力され、LOAD信号が入力されると、シフト用データに対しダウンカウントを行い、カウント値を更新する度に、その更新を示すDOUTi信号を出力するものである。

【0031】前記シフトクロック生成回路18は、上記ダウンカウンタ13から入力されるDOUTi信号と、液晶表示装置における、画像表示のためのタイミングを図るためのシステムクロック信号CLKとによりシフトクロック信号SCKを生成してシフトレジスタ14に出力する、例えば論理回路である。

【0032】前記シフトレジスタ14は、図3に示すように、表示RAM12からの各セグメント信号SD1～SD64に対し、それぞれ対応するDフリップフロップ（以下、DF/Fと略す）14aが、各セグメント信号SD1～SD64を取り込む前に、シフトクロック信号SCKの、例えばHレベルの方形波の数(k)に対応した各DF/F14aの出力をホールドし、その後の各DF/F14aの出力を各セグメント信号SD1～SD64-kに対応して、各シフトセグメント信号SDA1～SDA64として出力するようになっている。

【0033】次に、上記液晶表示装置におけるスクロール機能の動作について説明すると、その動作タイミングは、図4および図5に示すように、スクロール量設定レジスタ11が設定された後に、表示ON/OFFフラグ信号SDFにより、液晶パネル16の表示点灯モードになると、図示しないCPUはダウンカウンタ13にシフト用データを設定するためのLOAD信号を出力する。

【0034】LOAD信号により、スクロール量設定レジスタ11のシフト用データは、ダウンカウンタ13にロードされ、ダウンカウントを実施する。ダウンカウンタ13への転送タイミングは（表示ON/OFFフラグ信号SDF）\*（データロード信号LOAD）\*（シス

6

テムクロック信号CLK）にて行われ、ダウンカウントは、シフト用データが0になるまで実施され、カウント値が更新される度に、シフトクロック信号SCKが、図5に示すように、システムクロック信号CLKにタイミングを同期させて発生される。

【0035】このシフトクロック信号SCKが、シフトレジスタ14に入力されシステムクロック信号CLKの立ち上がりエッジでスクロール量設定レジスタ11の設定値分、表示データをシフトさせる。

【0036】このようにシフトさせるタイミングは、1ドット表示期間に比べて、十分に短いタイミングとする必要がある。でなければ、スクロールの残像が、液晶パネル16上の表示に残留する可能性がある。十分短いタイミングとは、スクロールデータをシフトする期間が、例えば、50μs以内であれば、実績の範囲でつまり安全率を考慮して、このとき、システムクロック信号CLKが2MHz以上、1ドットのシフト期間が0.5μs、全ドットである64bitsをシフトするのに約32μsで設計すればよい。ダウンカウンタ13による、シフト用データのカウンタ数が0になれば、シフトクロック信号SCKの発生を停止することで、スクロール動作を停止させる。

【0037】以下に、SD1～SD64が、例えば、『01……1』であり、ドットスクロール量が例えば、6ドットであったときの動作について以下に説明する。表示RAM12に表示データが記憶されており、ユーザまたは予め設定されたプログラムが、スクロール動作を指示した場合、ユーザが予め指定した、または設定されたスクロール量がドット単位にてスクロール量設定レジスタ11に設定される。

【0038】さらに、CPUで生成されたLOAD信号は、ダウンカウンタ13に入力され、LOAD信号がLOWからHIGHへ立ち上がると、スクロール量設定レジスタ11からのシフト用データ（SS0～SS7）に対応したカウント値をダウンカウンタ13が出力する。このカウント値とシステムクロック信号CLKとのAND論理により、シフトクロック信号SCKが生成される。

【0039】シフトクロック信号SCKが立ち上がることで、SDnからSDAnへ出力されるが、スクロール動作時は、ユーザが指定した回数にてシフトクロック信号SCKが立ち上がり、その分だけ表示データが、コモン電極方向（横方向）に沿ってシフトする。図5に示されたタイミングチャートでは、例えば6ドット分のシフトが行われている。このような構成により、ユーザが任意に指摘したスクロール量に対応したスクロールが可能になる。

【0040】また、本発明の構成では、任意のアドレスを設定したスクロール量設定レジスタ11に指定するドットスクロール量を、コモン電極毎に例えば6ドットと

50

(5)

7

0ドットとの間や、3ドットと0ドットとの間にて反復させて、それぞれ、変更することにより、例えば旗ふり等の単純な往復動作を容易に実現できると共に、液晶パネル16がカラー表示の場合には、色の反復変更も容易に実現できる。

【0041】ところで、特開平8-272349号公報には、5ドットフォントデータの表示文字を変形させないで、ドット単位の表示スクロールを実現している。図9に示すように、フォントROMから連続して読み出した、4文字分の文字フォントデータを第1のラッチ回路53、第1のシフト回路51、第2のラッチ回路54～57にてデータが取り込まれる。第2のラッチ回路54～57でデータをラッチするときに文字フォントデータが出力してくる連続したタイミングでラッチされる。表示画面横一列分のデータが出そろったところで、第3のラッチ回路52にラッチされ、セグメント駆動回路へ送信されるようになっている。

【0042】上記公報では、フォントROMのデータを直接、シフトレジスタに入力する回路構成が提示されている。キャラクタ構成は4文字以上でフォントROMからの出力タイミングを合わせて、各文字データを第2のラッチ回路54～57に取り込み、同時期にさらに第3のラッチ回路52に読み込んでドットデータをシフトさせている。

【0043】このシステムでは、表示RAMの構成が無いために、LCLiのラッチ回路に全フォントROMデータを回避させており、回路構成規模が大きくなっている。また、表示RAMを有する一般的な液晶表示システムへの転用は難しい。回路規模的に現在のICに適用する場合には、4文字、5文字ぐらいが限界であると考えられる。

【0044】また、特開平9-6294号公報では、図10に示すように、液晶表示パネルの表示位置に対応する表示アドレスを1ドットずつずらして設定したメモリエリアを表示RAMとしてのCGRAM67内に複数展開して、文字を1ドットずつずらしてスクロール表示される液晶表示装置が開示されている。上記公報に記載の構成では、CGRAM67のアドレスに工夫がされており、スクロールする場合にCGRAM67のアドレス値を1ドット毎変更し、アクセスすることで表示スクロールを実現している。

【0045】さらに、特開平6-308904号公報においては、図11に示すように、1キャラクタ分の文字フォントを分割し、分割毎毎スクロールさせて、滑らかなスクロールを行うことのできる表示装置が開示されている。上記公報に記載の構成でも、表示RAMとしての表示データ用RAM74のアドレス値の変更により、表示データのスクロール表示を実現している。

【0046】上記特開平9-6294号公報および特開

8

平6-308904号公報に記載の構成を用いることにより、回路規模の増大化を抑制できるが、表示RAMのアドレス値の変更は、RAMの内容をクロックドゲートで出力する表示RAMでは、不可能であり、スクロールの実現にはデータの書き換えを伴うために、RAMの内容をクロックドゲートを介して出力する表示RAMを用いる構成には、適用が困難である。

【0047】その上、従来技術の欄に記載した、液晶表示装置では、表示RAM21のエリア内に、1画面分のデータを入力しておき、これを図8に示す、表示出力タイミングで、SDjの64bits分を同時に出力しているために、アドレス値を変更したのみでは、隣のセグメントが表示されるのみで横方向スクロールは実現できない。ただし、縦方向スクロールはコモン信号のタイミングシフトにより実現できる。

【0048】また、特開平11-52926号公報においては、図13に示すように、表示用のRAM120と、シフト部130と、表示制御部170とを有し、RAM120からの出力をシフト部130へ転送し、表示データをシフトさせた後、ラッチ部140にてデータ保持を行い、液晶表示をLCD110にて行うようになっている。

【0049】このとき、上記公報に記載の構成では、シフト後の表示データは、RAM120にフィードバックして上書きすることを特徴としている。つまり、RAM120においては、スクロールが完了すると、逐次、表示データが書き換えられている。これは、スクロール量の設定がCPU220からできないためで、クロックのシフト量をハードウェアで限定しているためと想定される。また、表示データのシフト量は、表示制御部170にて生成されているが、シフト量値の設定については何ら開示も示唆もされていない。シフト量を任意に変えられる場合、キャラクタスクロール等に対応できない。

【0050】なお、本実施の形態では、本発明を表示装置としての液晶表示装置に適用した例を挙げたが、表示画像を線順次にて表示する表示装置であれば、適用可能であり、例えば、プラズマディスプレイや、エレクトロルミネッセンスを用いた表示装置が挙げられる。

【0051】

【発明の効果】本発明の表示装置は、以上のように、線順次式に画像をドット表示する表示パネルを駆動するための、セグメント駆動部、および表示用メモリ部を有する表示装置において、ドットスクロール量を設定するためのレジスタ部と、表示用メモリ部からの表示データを、上記ドットスクロール量に基づきシフトしてセグメント駆動部に出力するシフトレジスタ部とを備えている構成である。

【0052】それゆえ、上記構成は、レジスタ部と、シフトレジスタ部とによりシフトされた表示データを、シフトレジスタ部から一括してセグメント駆動部に送出す

9

10

【図 8】上記液晶表示装置の表示のためのタイミングチャートである。

【図 9】 従来の他の液晶表示装置のブロック図である。

【図10】従来のさらに他の液晶表示装置のブロック図である。

【図 1 1】従来のさらに他の液晶表示装置のブロック図である。

【図 12】従来のさらに他の液晶表示装置のブロック図である。

【図13】従来のさらに他の液晶表示装置のブロック図である。

【符号の説明】

## 1.1 スクロール量設定レジスタ (レジスタ部)

12 表示RAM (表示用メモリ)

#### 14 シフトレジスタ (シフトレジスタ部)

## 15 セグメント駆動回路 (セグメント駆動部)

16 液晶パネル (表示パネル)

表示RAMデータ番換部

表示RAMアドレス信号  
表示RAMデータ信号  
WR\*ADR  
WR信号  
データ信号  
RD\*ADR  
LOAD信号  
DOOUT

シフトクロック生成回路  
CLK

シフトクロック信号 SCK

表示RAM 12

スクロール量設定レジスタ 11  
SS0-SS7

ダウンカウンタ 13  
SD1~SD6

シフトレジスタ 14  
SDA1~SDA6

セグメント駆動回路 15  
S1~S6

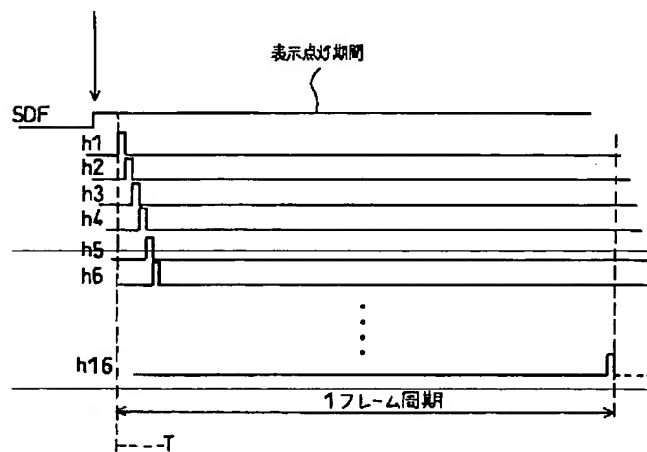
液晶パネル 16

コモン駆動回路 17  
H1  
H16

hi (i=1~16)  
表示出力タイミング

SDF  
表示ON/OFFフラグ

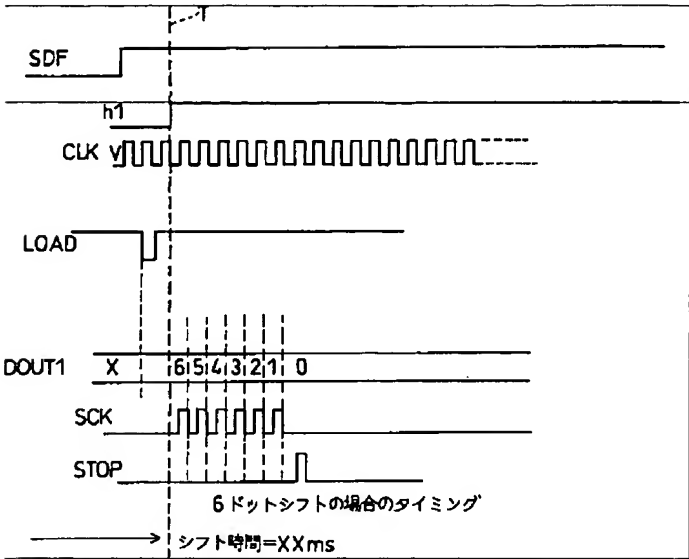
【図 2】



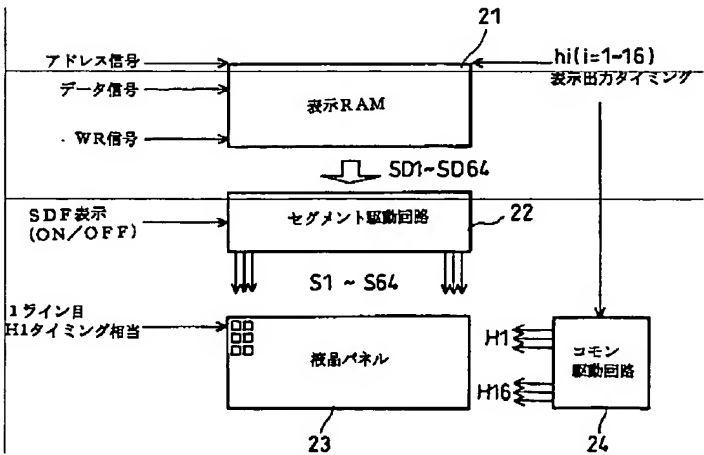


(8)

【図5】

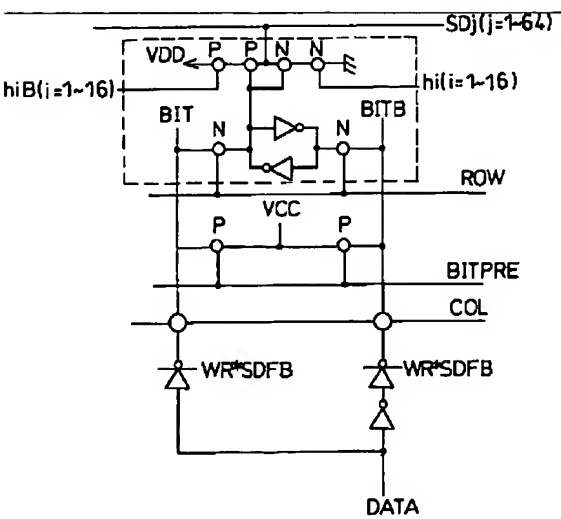


【図6】

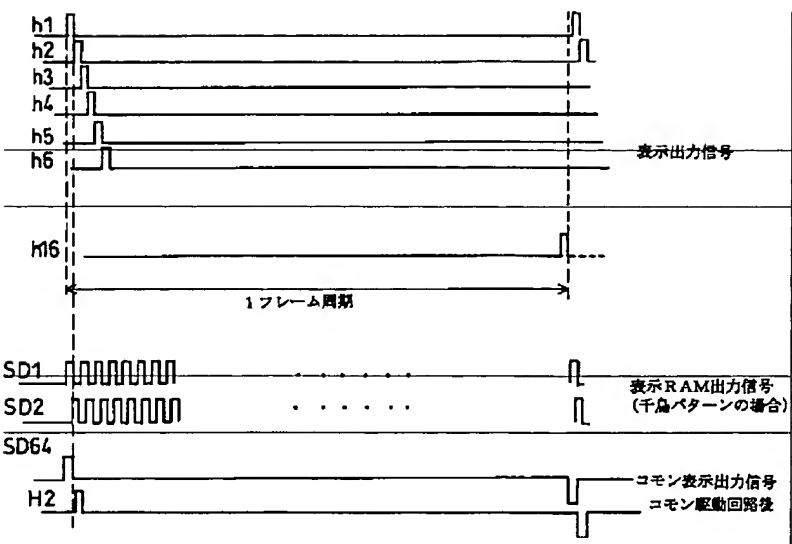


(9)

【図7】

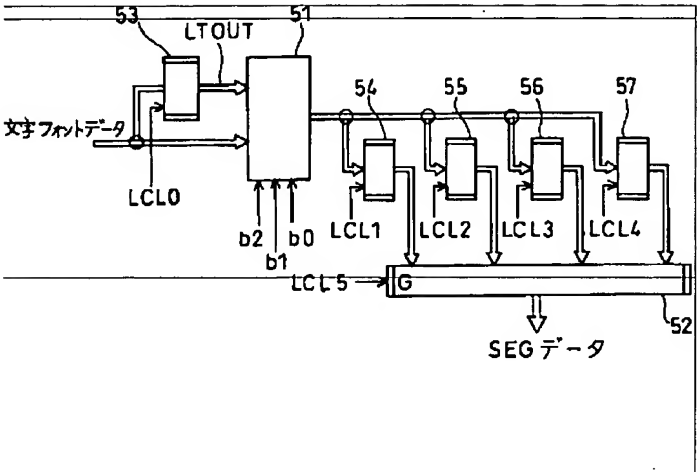


【図8】

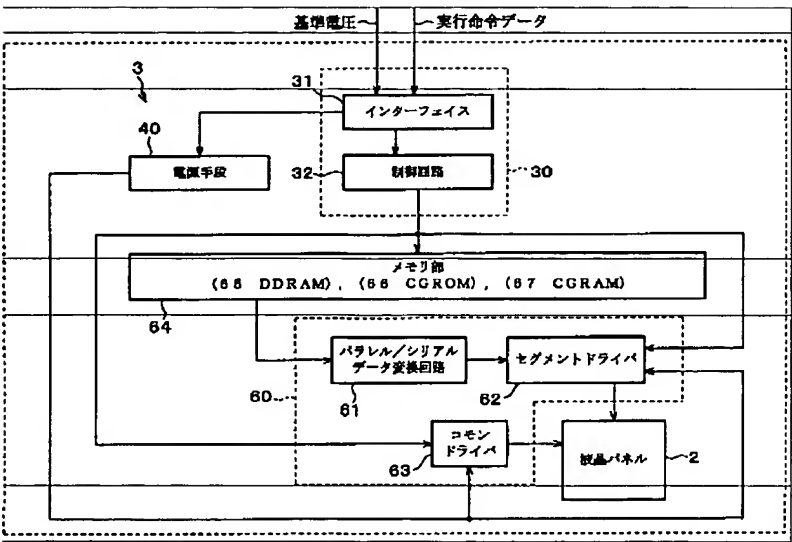


(10)

【図9】

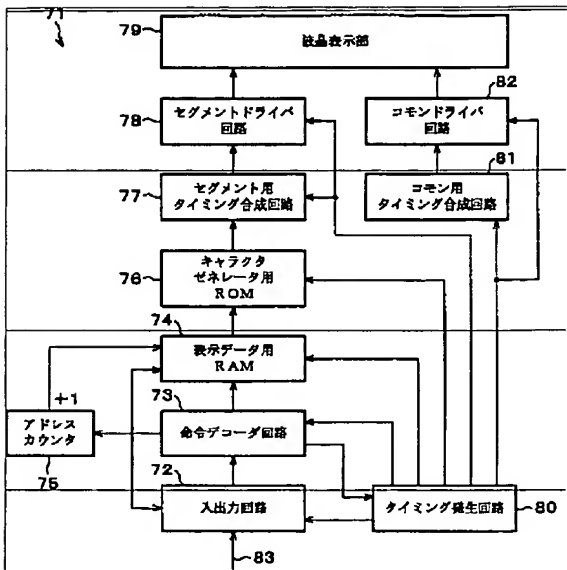


【図10】

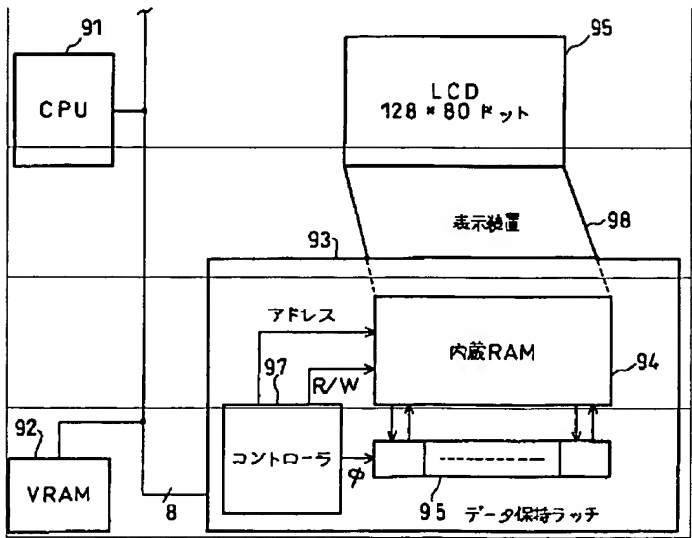


(11)

【図11】

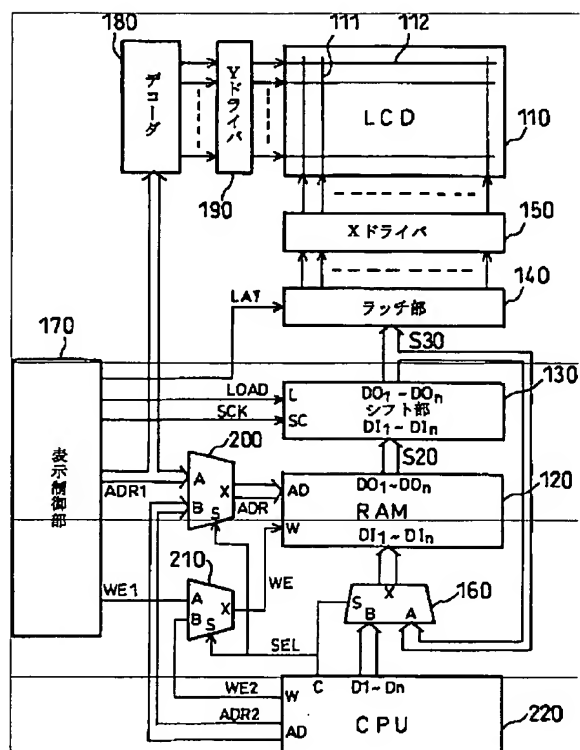


【図12】



(12)

【図 13】



フロントページの続き

Fターム(参考) 2H093 NA43 NC22 NC27 NC29 NC49  
ND34  
5C006 AA03 AB05 AC21 AF44 AF72  
BB11 BC14 BF03 BF06 BF22  
BF27 FA00 FA05  
5C080 AA10 BB05 DD08 DD30 EE01  
EE22 FF12 GG02 JJ02 JJ03  
JJ04